

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#6
2/14/02
Mailed
JC662 U.S. PRO.
09/847163
05/01/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 5月 1日

出願番号
Application Number:

特願2000-132339

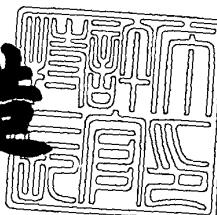
出願人
Applicant(s):

セイコーエプソン株式会社

2001年 3月30日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3025134

【書類名】 特許願

【整理番号】 EP-0232601

【提出日】 平成12年 5月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 横山 謙二

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 生田目 建

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 電界効果トランジスタを有する半導体装置であって、前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域とを含み、

前記ゲート絶縁層と前記ドレイン領域との間に、第1のセミリセスLOCOS層が形成され、前記ゲート絶縁層と前記ソース領域との間に、第2のセミリセスLOCOS層が形成され、

前記第1のセミリセスLOCOS層の下に、第1のオフセット不純物層が形成され、前記第2のセミリセスLOCOS層の下に、第2のオフセット不純物層が形成されている、半導体装置。

【請求項2】 請求項1において、

前記第1のセミリセスLOCOS層および前記第2のセミリセスLOCOS層の厚さは、0.3～0.7μmである、半導体装置。

【請求項3】 請求項1または2において、

前記半導体装置は、素子分離領域を有し、

前記素子分離領域は、セミリセスLOCOS構造を有する、半導体装置。

【請求項4】 請求項3において、

前記素子分離領域の下には、チャネルストップ層が設けられている、半導体装置。

【請求項5】 請求項1～4のいずれかにおいて、

前記ドレイン領域の周囲に、該ドレイン領域と同じ導電型の低濃度不純物層が設けられた、半導体装置。

【請求項6】 電界効果トランジスタを有する、半導体装置の製造方法であって、

前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域とを含み、

前記ゲート絶縁層と前記ドレイン領域との間に、第1のセミリセスLOCOS層が設けられ、前記ゲート絶縁層と前記ソース領域との間に、第2のセミリセスLOCOS層が設けられ、

前記第1のセミリセスLOCOS層の下に、第1のオフセット不純物層が設けられ、前記第2のセミリセスLOCOS層の下に、第2のオフセット不純物層が設けられ、

以下の工程（a）～（c）を含む、半導体装置の製造方法。

（a）前記第1のセミリセスLOCOS層の形成領域において、第1の凹部を形成し、前記第2のセミリセスLOCOS層の形成領域において、第2の凹部を形成する工程、

（b）前記第1の凹部および前記第2の凹部における半導体基板に、不純物を注入する工程、および

（c）前記半導体基板を熱酸化し、前記第1の凹部において前記第1のセミリセスLOCOS層を形成し、前記第2の凹部において前記第2のセミリセスLOCOS層を形成する工程。

【請求項7】 請求項6において、

さらに、所定のパターンを有する耐酸化層を形成する工程（d）を含み、

前記工程（c）は、前記半導体基板の上に形成された、前記耐酸化層をマスクとして行われる、半導体装置の製造方法。

【請求項8】 請求項7において、

前記耐酸化層は、その膜厚が50～70nmである、半導体装置の製造方法。

【請求項9】 請求項6～8のいずれかにおいて、

前記工程（b）の前に、前記第1の凹部および前記第2の凹部における前記半導体基板の上に、保護膜を形成する工程（e）を含む、半導体装置の製造方法。

【請求項10】 請求項9において、

前記保護膜は、酸化シリコン層である、半導体装置の製造方法。

【請求項11】 請求項10において、

前記酸化シリコン層は、熱酸化法により形成される、半導体装置の製造方法。

【請求項12】 請求項9～11のいずれかにおいて、

前記工程（b）の後、前記保護膜を除去する工程（f）を含む、半導体装置の製造方法。

【請求項13】 請求項6～12のいずれかにおいて、

前記工程（a）は、前記第1の凹部および前記第2の凹部が、テーパ形状となるようになされる、半導体装置の製造方法。

【請求項14】 請求項13において、

前記第1の凹部および前記第2の凹部のテーパ角度は、60度以上90度未満である、半導体装置の製造方法。

【請求項15】 請求項6～14のいずれかにおいて、

前記工程（b）において、前記不純物の注入方向は、前記半導体基板の表面の法線と交差する方向である、半導体装置の製造方法。

【請求項16】 請求項15において、

前記不純物の注入方向と、前記半導体基板の表面の法線とのなす角は、0度より大きく45度以下である、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、高耐圧化が図られた半導体装置およびその製造方法に関する。

【0002】

【背景技術】

現在、高耐圧化が図られた電界効果トランジスタとして、LOCOS (Local Oxidation Of Silicon) オフセット構造を有する電界効果トランジスタがある。LOCOSオフセット構造を有する電界効果トランジスタは、ゲート絶縁層と、ドレイン領域との間に、LOCOS層が設けられ、そのLOCOS層の下にオフセット不純物層が形成されたトランジスタである。LOCOSオフセット構造を有する電界効果トランジスタは、たとえば、特許第2705106号公報、特許2534508号公報に開示されている。

【0003】

ところで、LOCOSオフセット構造を有する電界効果トランジスタにおいては、LOCOS端においてバーズピークが生じ、アクティブ領域が狭まるという問題がある。

【0004】

【発明が解決しようとする課題】

本発明の目的は、高耐圧化が図られた半導体装置およびその製造方法を提供することにある。

【0005】

【課題を解決するための手段】

(半導体装置)

本発明の半導体装置は、

電界効果トランジスタを有する半導体装置であって、

前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域とを含み、

前記ゲート絶縁層と前記ドレイン領域との間に、第1のセミリセスLOCOS層が形成され、前記ゲート絶縁層と前記ソース領域との間に、第2のセミリセスLOCOS層が形成され、

前記第1のセミリセスLOCOS層の下に、第1のオフセット不純物層が形成され、前記第2のセミリセスLOCOS層の下に、第2のオフセット不純物層が形成されている。

【0006】

本発明によれば、たとえば次の作用効果を奏することができる。

【0007】

本発明においては、電界効果トランジスタが第1および第2のセミリセスLOCOS層を有している。そして、第1および第2のセミリセスLOCOS層の下には、それぞれ第1および第2のオフセット不純物層が設けられている。したがって、セミリセスLOCOS層を形成しない場合に比べて、オフセット不純物層をチャネル領域に対して相対的に深くできる。その結果、電界効果トランジスタがON状態のときに、このオフセット不純物層によって、深い空乏層が形成でき

る。その結果、ドレイン電極の近傍の電界を緩和して、ドレイン耐圧を高めることができる。

【0008】

また、本発明によれば、LOCOS層に比べて、バーズピークの幅を狭めることができる。このため、本発明によれば、LOCOS層に比べて、微細化を図ることができる。

【0009】

また、この半導体装置は、ドレイン耐圧が10～50Vの半導体装置として、好ましく適用される。また、この半導体装置は、特に、高耐圧の液晶表示（LCD）ドライバとして、好適である。

【0010】

前記第1のセミリセスLOCOS層および前記第2のセミリセスLOCOS層の厚さは、たとえば0.3～0.7μmである。

【0011】

前記半導体装置は、素子分離領域を有し、前記素子分離領域は、セミリセスLOCOS構造を有することが好ましい。素子分離領域がセミリセスLOCOS構造を有することで、第1および第2のセミリセスLOCOS層と同一の工程で、素子分離領域を形成することができる。前記素子分離領域の下には、チャネルストップ層を設けることができる。

【0012】

前記ドレイン領域の周囲に、該ドレイン領域と同じ導電型の低濃度不純物層が設けられていることが好ましい。このような低濃度不純物層を設けることにより、電界効果トランジスタがON状態のときは、この低濃度不純物層の領域が空乏層となってドレイン耐圧を高めることができる。

【0013】

（半導体装置の製造方法）

本発明の半導体装置は、たとえば次のようにして形成することができる。

【0014】

本発明の半導体装置の製造方法は、

電界効果トランジスタを有する、半導体装置の製造方法であって、
前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域
とを含み、

前記ゲート絶縁層と前記ドレイン領域との間に、第1のセミリセスLOCOS
層が設けられ、前記ゲート絶縁層と前記ソース領域との間に、第2のセミリセス
LOCOS層が設けられ、

前記第1のセミリセスLOCOS層の下に、第1のオフセット不純物層が設け
られ、前記第2のセミリセスLOCOS層の下に、第2のオフセット不純物層が
設けられ、

以下の工程 (a) ~ (c) を含む、半導体装置の製造方法。

(a) 前記第1のセミリセスLOCOS層の形成領域において、第1の凹部を形
成し、前記第2のセミリセスLOCOS層の形成領域において、第2の凹部を形
成する工程、

(b) 前記第1の凹部および前記第2の凹部における半導体基板に、不純物を注
入する工程、および

(c) 前記半導体基板を熱酸化し、前記第1の凹部において前記第1のセミリセ
スLOCOS層を形成し、前記第2の凹部において第2のセミリセスLOCOS
層を形成する工程。

【0015】

本発明の半導体装置の製造方法は、さらに、所定のパターンを有する耐酸化層
を形成する工程 (d) を含み、

前記工程 (c) は、前記半導体基板の上に形成された、前記耐酸化層をマスク
として行われることが好ましい。

【0016】

これにより、所定の領域における半導体基板を、確実に、熱酸化させることができ
る。また、工程 (b) において、半導体基板に不純物を注入する際、耐酸化
層によって被覆された半導体基板に不純物が注入されるのを抑えることができる
。

【0017】

前記耐酸化層は、その膜厚が50～70nmであることが好ましい。耐酸化層の膜厚が50nm以上であることにより、工程(b)において、半導体基板に不純物を注入する際、耐酸化層によって被覆された半導体基板に不純物が注入されるのを防止することができる。

【0018】

前記工程(b)の前に、前記第1の凹部および前記第2の凹部における半導体基板の上に、保護膜を形成する工程(e)を含むことが好ましい。ここで、保護膜とは、半導体基板に不純物を注入することによって、半導体基板がダメージを受けるのを抑える膜をいう。工程(e)を含むことにより、工程(b)において、第1および第2の凹部における半導体基板がダメージを受けるのを抑えることができる。

【0019】

前記保護膜としては、酸化シリコン層を挙げることができる。前記酸化シリコン層は、熱酸化法により形成されることができる。熱酸化法によれば、第1の凹部および第2の凹部における半導体基板の露出面の上に、確実に酸化シリコン層を形成することができる。

【0020】

また、保護膜を形成した場合は、工程(b)の後、前記保護膜を除去する工程(f)を含むことが好ましい。工程(f)を含むことにより、得られるセミリセスLOCOS層の膜質を向上させることができる。

【0021】

前記工程(a)は、前記第1の凹部および前記第2の凹部が、テーパ形状となるようになされることが好ましい。これによれば、工程(b)において、第1および第2の凹部におけるシリコン基板の側面に、不純物を注入するのを容易に行うことができる。

【0022】

前記第1の凹部および前記第2の凹部のテーパ角度は、60度以上90度未満であることが好ましい。これによれば、工程(b)において、第1および第2の凹部におけるシリコン基板の側面に、不純物を確実に注入することができる。

【0023】

前記工程（b）において、前記不純物の注入方向は、前記半導体基板の表面の法線と交差する方向であることが好ましい。これによれば、工程（b）において、第1および第2の凹部におけるシリコン基板の側面に、不純物を注入するのを容易に行うことができる。

【0024】

前記不純物の注入方向と、前記半導体基板の表面の法線とのなす角は、0度より大きく45度以下であることが好ましい。これによれば、工程（b）において、第1および第2の凹部におけるシリコン基板の側面に、不純物を確実に注入することができる。

【0025】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0026】

【第1の実施の形態】

以下、第1の実施の形態に係る半導体装置について説明する。図1は、第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【0027】

(デバイスの構造)

半導体装置1000は、素子分離領域20を有する。素子分離領域20は、セミリセスLOCOS構造を有する。素子分離領域20によって画定された領域ごとに、電界効果トランジスタ（以下「トランジスタ」という）100が設けられている。

【0028】

トランジスタ100は、ゲート絶縁層30と、ソース領域32と、ドレイン領域34とを有する。ソース領域32およびドレイン領域34は、N型トランジスタを例にとると、P型のウエル内に形成されたN⁺型不純物拡散層からなり、P型トランジスタを例にとると、N型のウエル内に形成されたP⁺型不純物拡散層からなる。

【0029】

ゲート絶縁層30の端部に連続するようにして、第1および第2のセミリセスLOCOS層40, 50が形成されている。具体的には、ゲート絶縁層30とドレイン領域34との間には、第1のセミリセスLOCOS層40が形成されている。ゲート絶縁層30とソース領域32との間には、第2のセミリセスLOCOS層50が形成されている。第1および第2のセミリセスLOCOS層40, 50の膜厚は、デバイスの設計により異なるが、たとえば0.3~0.7μmであり、好ましくは0.4~0.6μmである。第1および第2のセミリセスLOCOS層40, 50の下には、それぞれ、第1および第2のオフセット不純物層42, 52が形成されている。第1および第2のオフセット不純物層42, 52は、N型トランジスタを例にとると、N型不純物拡散層からなり、P型トランジスタを例にとると、P型不純物拡散層からなる。

【0030】

素子分離領域20の中央部の下には、チャネルトップ層60が形成されている。チャネルトップ層60は、N型トランジスタを例にとると、P型不純物拡散層からなり、P型トランジスタを例にとると、N型不純物拡散層からなる。

【0031】

ドレイン領域34と隣接する素子分離領域20の端部の下には、低濃度不純物層62が形成されている。低濃度不純物層62により、トランジスタがON状態のときは、この低濃度不純物層62の領域が空乏層となってドレイン耐圧を高めることができる。低濃度不純物層は、N型トランジスタを例にとると、N型不純物拡散層からなり、P型トランジスタを例にとると、P型不純物拡散層からなる。

【0032】

半導体装置1000には、シリコン基板10に電圧を印加するためのコンタクト領域（図示せず）が形成されている。コンタクト領域は、ソースまたはドレイン領域と、素子分離領域によって分離される。この素子分離領域の下には、必要に応じてチャネルトップ層を形成することができる。

【0033】

シリコン基板10の上には、層間絶縁層70が形成されている。層間絶縁層70の所定の領域には、コンタクトホール72が形成されている。コンタクトホール72内および層間絶縁層70の上には、配線層74が形成されている。

【0034】

(作用効果)

以下、第1の実施の形態に係る半導体装置1000の作用効果を説明する。

【0035】

(a) 本実施の形態では、各トランジスタ100がセミリセスLOCOS層40, 50を有している。そして、セミリセスLOCOS層40, 50の下には、オフセット不純物層42, 52が設けられている。したがって、セミリセスLOCOS層を形成しない場合に比べて、オフセット不純物層42, 52をチャネル領域に対して相対的に深くできる。その結果、トランジスタがON状態のときに、このオフセット不純物層42, 52によって、深い空乏層が形成できる。その結果、ドレイン電極の近傍の電界を緩和して、ドレイン耐圧を高めることができる。

【0036】

(b) また、この半導体装置は、ドレイン耐圧が10～50Vの半導体装置として、好ましく適用される。また、この半導体装置は、特に、高耐圧の液晶表示(LCD)ドライバとして、好適である。

【0037】

[第2の実施の形態]

以下、第2の実施の形態に係る半導体装置の製造方法について説明する。具体的には、N型トランジスタを例にとり、半導体装置の製造プロセスを説明する。図2～図8は、第2の実施の形態に係る製造工程を模式的に示す断面図である。

【0038】

(1) まず、図2に示すように、シリコン基板10の上に、CVD法により、酸化窒化シリコン層80を形成する。酸化窒化シリコン層80の膜厚は、たとえば、8～12nmである。次いで、酸化窒化シリコン層80の上に、CVD法により、窒化シリコン層82を形成する。窒化シリコン層82の膜厚は、後述のイ

オン注入の工程で、イオンが、窒化シリコン層82に被覆されたシリコン基板10に注入されるのを防ぐことができる程度であれば特に限定されない。窒化シリコン層82の膜厚は、たとえば50～70nm、好ましくは60～65nmである。

【0039】

(2) 次に、図3 (a) に示すように、窒化シリコン層82の上に、所定のパターンを有する第1のレジスト層R1を形成する。第1のレジスト層R1は、素子分離領域20および第1および第2のセミリセスLOCOS層40, 50の形成領域の上方において開口されている。

【0040】

次に、第1のレジスト層R1をマスクとして、窒化シリコン層82、酸化窒化シリコン層80およびシリコン基板10をエッチングする。これにより、素子分離領域20および第1および第2のセミリセスLOCOS層40, 50の形成領域において、第1～3の凹部84a, 84b, 84cが形成される。第1の凹部84aは、第1のセミリセスLOCOS層40となる領域に形成され、第2の凹部84bは、第2のセミリセスLOCOS層50となる領域に形成され、第3の凹部84cは、素子分離領域20となる領域に形成される。なお、図3 (b) は、図3 (a) における第1の凹部84aを拡大して、模式的に示した断面図である。第1の凹部84aの幅は、デバイスの耐圧、特性により異なるが、たとえば0.3～5.0μm、好ましくは0.5～2.0μmである。第1の凹部84aの深さは、デバイスの耐圧、特性により異なるが、たとえば0.05～0.15μm、好ましくは0.08～0.10μmである。第2の凹部84bの幅、深さは、第1の凹部84aと同様の態様をとることができる。第3の凹部84cの深さは、第1の凹部84aと同様の態様をとることができる。次いで、第1のレジスト層R1を除去する。

【0041】

(3) 次に、図4 (a) に示すように、熱酸化法により、シリコン基板10の露出面の上に、酸化シリコン層90を形成する。図4 (b) は、図4 (a) における第1の凹部84aを拡大して、模式的に示した断面図である。なお、酸化シ

リコン層90の形成方法は、CVD法であってもよい。酸化シリコン層90の膜厚は、たとえば5.0~10nm、好ましくは6.0~7.0nmである。

【0042】

(4) 次に、図5(a)に示すように、所定のパターンを有する、第2のレジスト層R2を形成する。第2のレジスト層R2は、第1の凹部84aおよび第2の凹部84bと、第3の凹部84cの端部との上方において開口されている。具体的には、第1および第2のセミリセスLOCOS層40, 50および低濃度不純物層62の形成領域の上方において、開口されている。

【0043】

次に、第2のレジスト層R2をマスクにして、シリコン基板10にN型のイオン92aを注入する。これによって、第1~第3の凹部84a, 84b, 84cにおいて、N型の不純物拡散層92が形成される。後の工程で、第1および第2の凹部84a, 84bにおけるN型の不純物拡散層92は、それぞれ、第1および第2のオフセット不純物層42, 52となる。また、第3の凹部84cにおけるN型の不純物拡散層92は、低濃度不純物層62となる。

【0044】

図5(b)は、図5(a)における第1の凹部84aを拡大して、模式的に示した断面図である。ここで、酸化シリコン層90が形成されていることにより、イオン注入によって、第1~第3の凹部84a, 84b, 84cにおけるシリコン基板10がダメージを受けるのを抑えることができる。これにより、シリコン基板10の結晶格子が切れ、電流のパスができるのを抑えることができる。N型のイオン92aとしては、たとえばリンイオンを挙げることができる。イオンの加速電圧は、デバイスの耐圧および特性により異なるが、たとえば10~50keV、好ましくは20~25keVである。ドーズ量は、デバイスの耐圧および特性により異なるが、たとえば $1.0E+13 \sim 1.5E+14 \text{ cm}^{-2}$ 、好ましくは $3.0E+13 \sim 5.0E+13 \text{ cm}^{-2}$ である。イオンの注入角度(シリコン基板の表面の法線L1とイオンの注入方向とのなす角)θは、特に限定されず、たとえば0~45度であり、好ましくは0度より大きく45度以下、さらに好ましくは5~20度である。イオンの注入角度θが0度より大きく45度以下で

あることにより、凹部84a, 84b, 84cにおけるシリコン基板10の側面にも、確実にイオンを注入することができる。次いで、第2のレジスト層R2を除去する。

【0045】

(5) 次に、図6に示すように、所定のパターンを有する、第3のレジスト層R3を形成する。第3のレジスト層R3は、第3の凹部84cの中央部において開口されている。具体的には、第3のレジスト層R3は、チャネルストップ層60の形成領域の上方において開口されている。

【0046】

次に、第3のレジスト層R3をマスクにして、シリコン基板10にP型のイオン94aを注入する。これによって、第3の凹部84cにおいてP型の不純物拡散層94が形成される。後の工程で、P型の不純物拡散層94は、チャネルストップ層60となる。P型のイオン94aとしては、たとえばボロンイオンを挙げることができる。イオンの加速電圧は、デバイスの耐圧および特性により異なるが、たとえば5~10keV、好ましくは7~8keVである。ドーズ量は、デバイスの耐圧および特性により異なるが、たとえば1.0E+13~1.5E+14cm⁻²、好ましくは3.0E+13~1.0E+14cm⁻²である。次いで、第3のレジスト層R3を除去する。

【0047】

(6) 次に、図7(a)に示すように、酸化シリコン層90を除去する。図7(b)は、図7(a)における第1の凹部84aを拡大して、模式的に示した断面図である。なお、デバイスの特性に悪影響を及ぼさなければ、酸化シリコン層90は、除去しなくてもよい。

【0048】

次に、窒化シリコン層82を耐酸化層として、シリコン基板10を熱酸化する。これによって、図8に示すように、素子分離領域20および第1および第2のセミリセスLOCOS層40, 50を形成する。この熱酸化の工程で、第1および第2の凹部84a, 84bにおけるシリコン基板10に注入されたイオンが拡散(ドライブイン)して、第1および第2のオフセット不純物層42, 52が形

成される。また、同時に、第3の凹部84cにおけるシリコン基板10に注入されたイオンが拡散（ドライブイン）して、チャネルトップ層60および低濃度不純物層62が形成される。

【0049】

次に、窒化シリコン層82および酸化窒化シリコン層80を除去する。その後、シリコン基板10の表面を熱酸化することにより、ゲート絶縁層30を形成する。

【0050】

(7) 次に、図1に示すように、LOCOS層20を含むウェハ上に導電性のポリシリコン層を堆積する。つぎに、フォトリソグラフィおよびエッティングにより、ゲート絶縁層30上にゲート電極36が形成される。その後、必要に応じて、ゲート電極36のサイドに、サイドウォールを形成する。

【0051】

次に、ゲート電極36および第1および第2のセミリセスLOCOS層40, 50をマスクとしてリンイオンを注入し、Nチャネルトランジスタのソース／ドレイン領域32, 34を形成する。

【0052】

次に、ゲート電極36を含むウェハ上に層間絶縁層70を堆積する。フォトリソグラフィおよびエッティングにより、層間絶縁層70にコンタクトホール72が形成される。

【0053】

この後、コンタクトホール72内および層間絶縁層70上に、アルミニウム合金、銅などの導電層を堆積し、この導電層をパターニングすることにより、配線層74が形成される。

【0054】

(作用効果)

以下、第2の実施の形態に係る半導体装置の製造方法における作用効果を説明する。

【0055】

(a) 本実施の形態においては、凹部84a, 84b, 84cに、イオンを注入する際、凹部84a, 84b, 84cにおけるシリコン基板10の表面上に、酸化シリコン層90を形成している。このため、イオン注入する際に、凹部84a, 84b, 84cにおけるシリコン基板10がダメージを受けるのを抑えることができる。これにより、シリコン基板10の結晶格子が切れ、電流のパスができるのを抑えることができる。

【0056】

(b) 第1および第2の凹部84a, 84bにおけるシリコン基板10への、イオンの注入工程において、イオンの注入角度θが0度より大きく45度以下である場合には、次の作用効果を奏することができる。すなわち、そのイオン注入角度θが0度より大きく45度以下であることにより、第1および第2の凹部84a, 84bにおけるシリコン基板10の側面に、イオンを確実に注入することができる。その結果、第1および第2のセミリセスLOCOS層40, 50のサイドに、第1および第2のオフセット不純物層42, 52を確実に形成することができる。

【0057】

なお、N型トランジスタの製造と並行して、P型トランジスタを製造することができる。たとえば、次のようにして、N型トランジスタの製造と並行して、P型トランジスタを製造することができる。

【0058】

(A) P型トランジスタのオフセット不純物層が形成される領域における凹部の形成は、上記の凹部の形成工程(2)と同時にを行うことができる。(B) P型トランジスタのオフセット不純物層を形成するための、P型のイオンを注入する工程は、上記のチャネルストップ層を形成する工程(5)と同時に、行うことができる。

【0059】

[第3の実施の形態]

次に、第3の実施の形態に係る半導体装置の製造方法について説明する。図9は、第3の実施の形態に係る半導体装置の製造方法における要部を説明するため

の、凹部を拡大して模式的に示す断面図である。

【0060】

第3の実施の形態は、凹部の形成方法の点で、第2の実施の形態と異なる。第3の実施の形態は、凹部の形成方法の点以外は、第2の実施の形態と同様であるため、詳細な説明を省略する。

【0061】

第3の実施の形態は、図9に示すように、第1および第2の凹部84a, 84bがテーパ形状となるように、シリコン基板10をエッチングしている。凹部のテーパ角度 α は、90度未満であり、好ましくは60度以上90度未満であり、さらに好ましくは70~80度である。凹部のエッチング方法は、第1および第2の凹部84a, 84bがテーパ形状となるような方法であれば特に限定されない。具体的には、シリコン基板10のエッチングは、平行平板電極を有するエッチング装置により行うことができ、たとえば次のようにして行うことができる。まず、平行平板下部電極上にシリコン基板10を設置する。電極間に、たとえば200WのPowerを印加することにより、シリコン基板10のエッチングを行うことができる。具体的な条件としては、エッチングは、圧力がたとえば700mTorrの真空下で行われる。エッチングの際に使用するエッチングガスは、たとえば、CHF₃, CF₄, Ar, O₂を含むガスからなることができ、それらの量の比率は、たとえば10/70/800/4sccm (=CHF₃/CF₄/Ar/O₂)である。

【0062】

(作用効果)

以下、第3の実施の形態に係る半導体装置の製造方法における作用効果を説明する。

【0063】

(a) 第3の実施の形態は、第2の実施の形態における作用効果(a)と同様の作用効果を奏することができる。

【0064】

(b) 第3の実施の形態においては、テーパ形状(テーパ角度 α が90度未満

)となるように、凹部84a, 84bを形成している。このため、凹部84a, 84bにおけるシリコン基板10へのイオンの注入工程で、シリコン基板10の側面にイオンを確実に注入することができる。その結果、第1および第2のセミリセスLOCOS層40, 50のサイドに、第1および第2のオフセット不純物層42, 52を確実に形成することができる。

【0065】

本発明は、上記実施の形態に限定されず、発明の要旨の範囲内で各種の態様を取りうる。

【図面の簡単な説明】

【図1】

第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【図2】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図3】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図4】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図5】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図6】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図7】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図8】

第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図9】

第3の実施の形態に係る半導体装置の製造方法における要部を説明するための、凹部を拡大して模式的に示す断面図である。

【符号の説明】

10 シリコン基板
20 素子分離領域
30 ゲート絶縁層
32 ソース領域
34 ドレイン領域
36 ゲート電極
40 第1のセミリセスLOCOS層
42 第1のオフセット不純物層
50 第2のセミリセスLOCOS層
52 第2のオフセット不純物層
60 チャネルストッパ層
62 低濃度不純物層
70 層間絶縁層
72 コンタクトホール
74 配線層
80 酸化窒化シリコン層
82 窒化シリコン層
84 a 第1の凹部
84 b 第2の凹部
84 c 第3の凹部
90 酸化シリコン層
92 N型の不純物拡散層
92 a N型イオン
94 P型の不純物拡散層
94 a P型イオン
100 パンジスタ
1000 半導体装置
W10 第1の凹部の幅
D10 第1の凹部の深さ

L 1 シリコン基板の表面の法線

θ イオンの注入角度

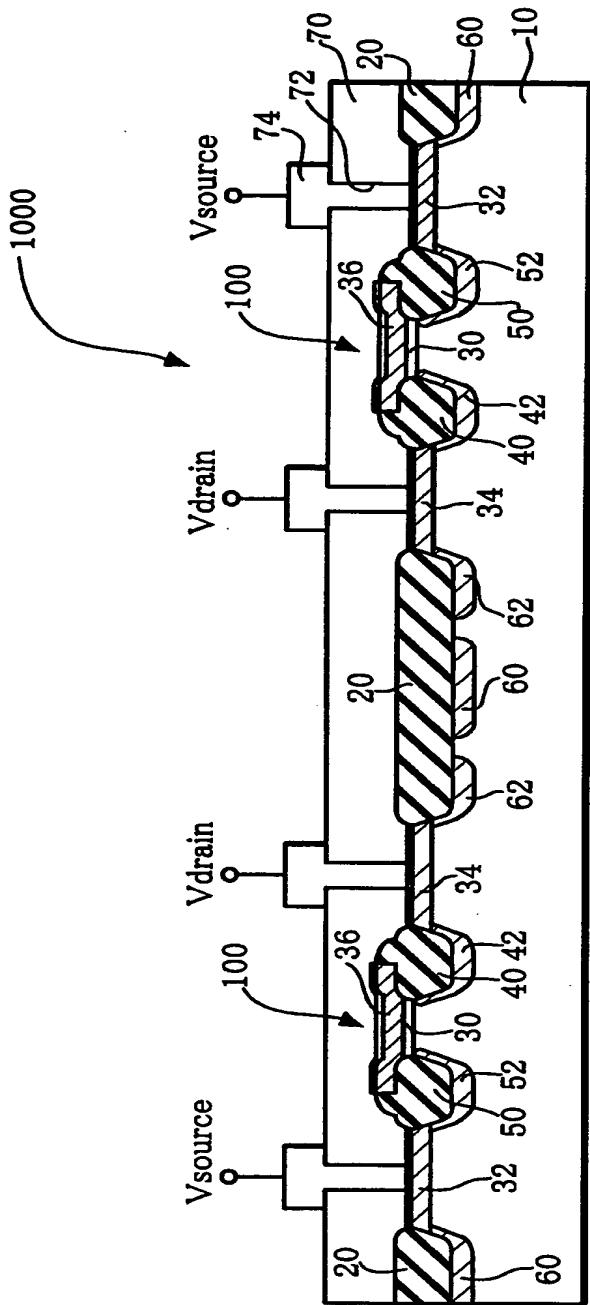
α 凹部のテーパ角度

R 1, R 2, R 3 レジスト層

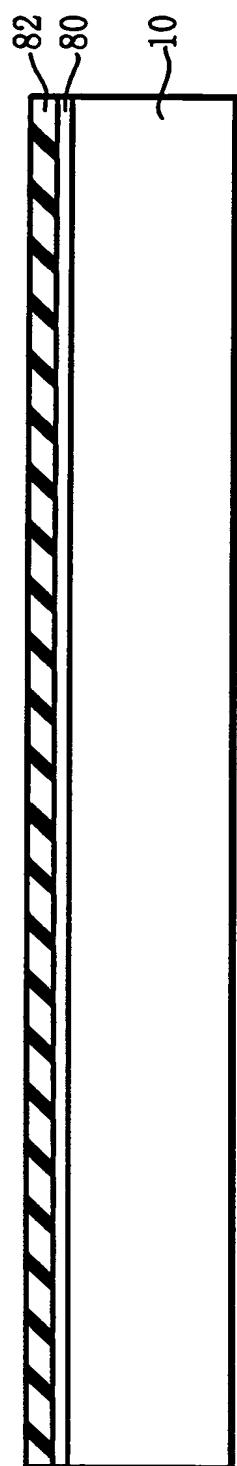
【書類名】

図面

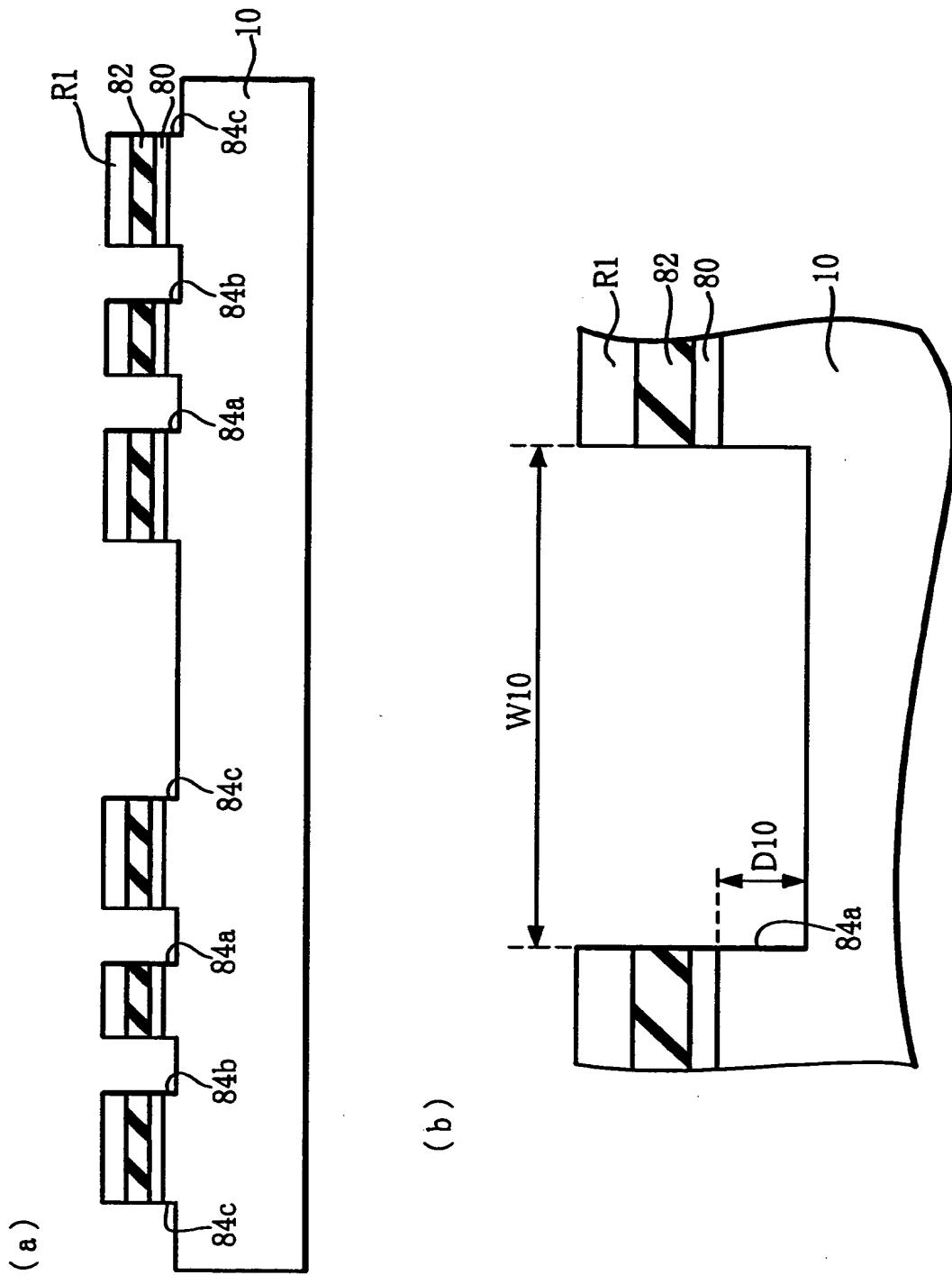
【図1】



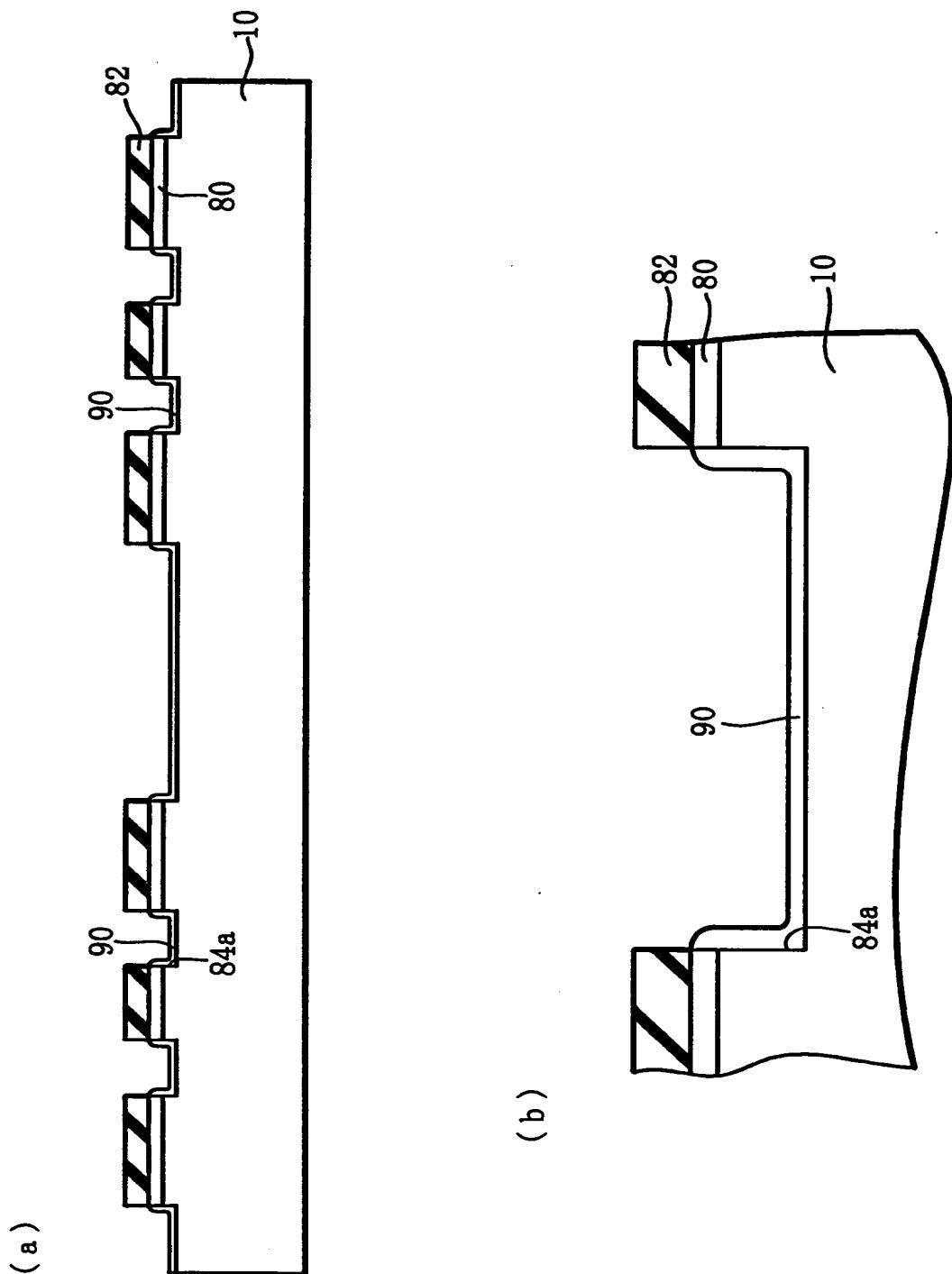
【図2】



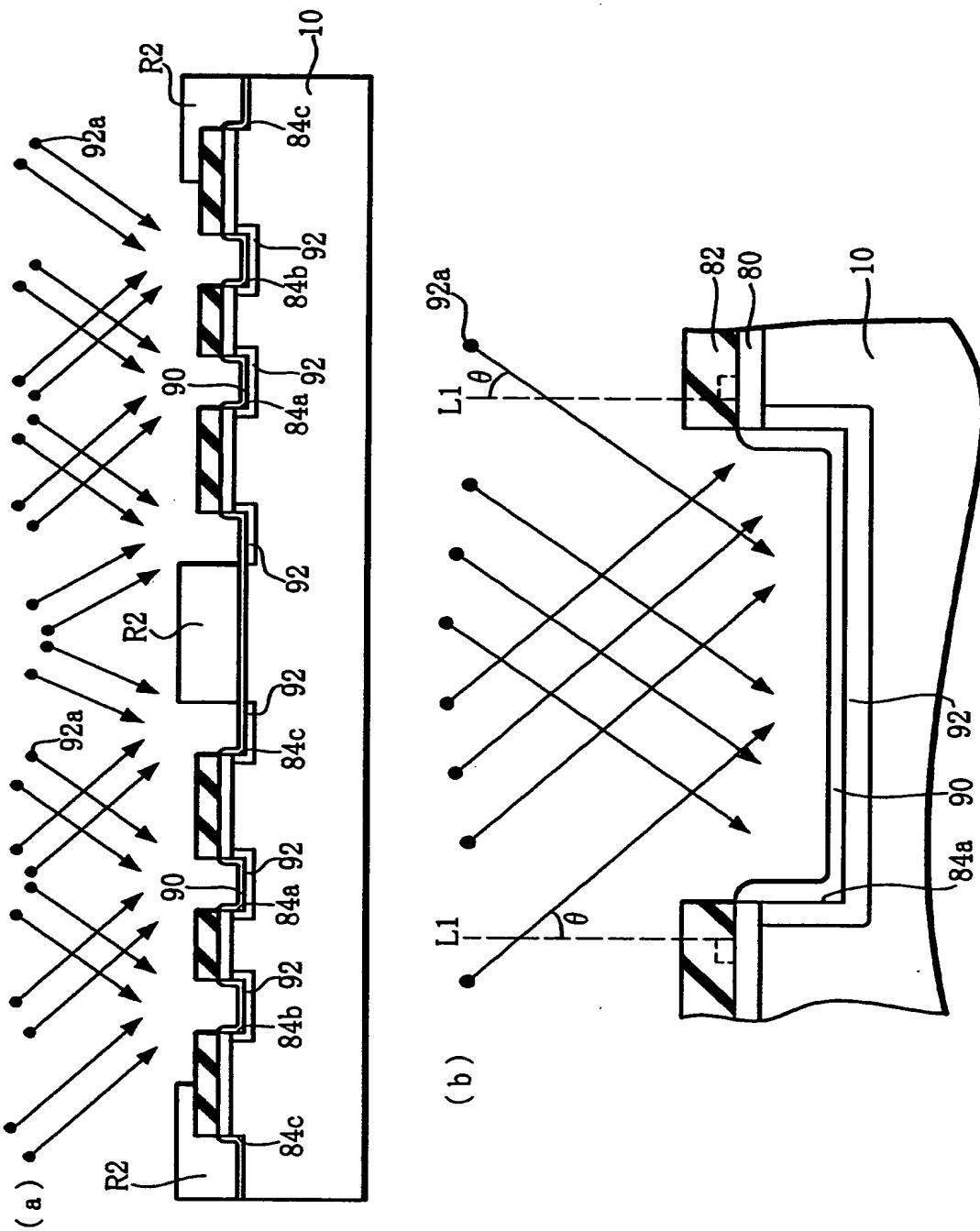
【図3】



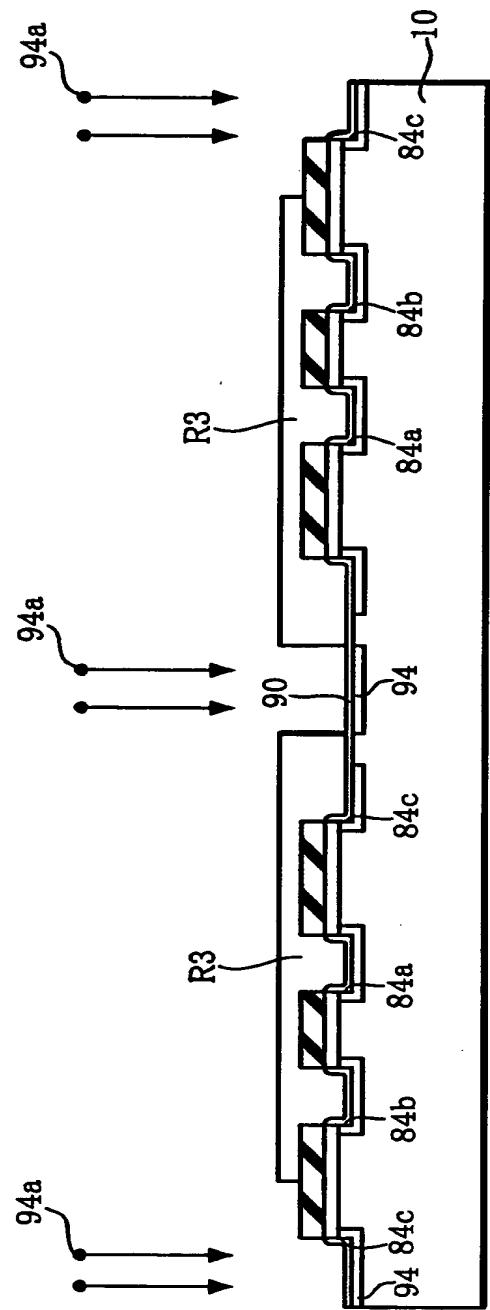
【図4】



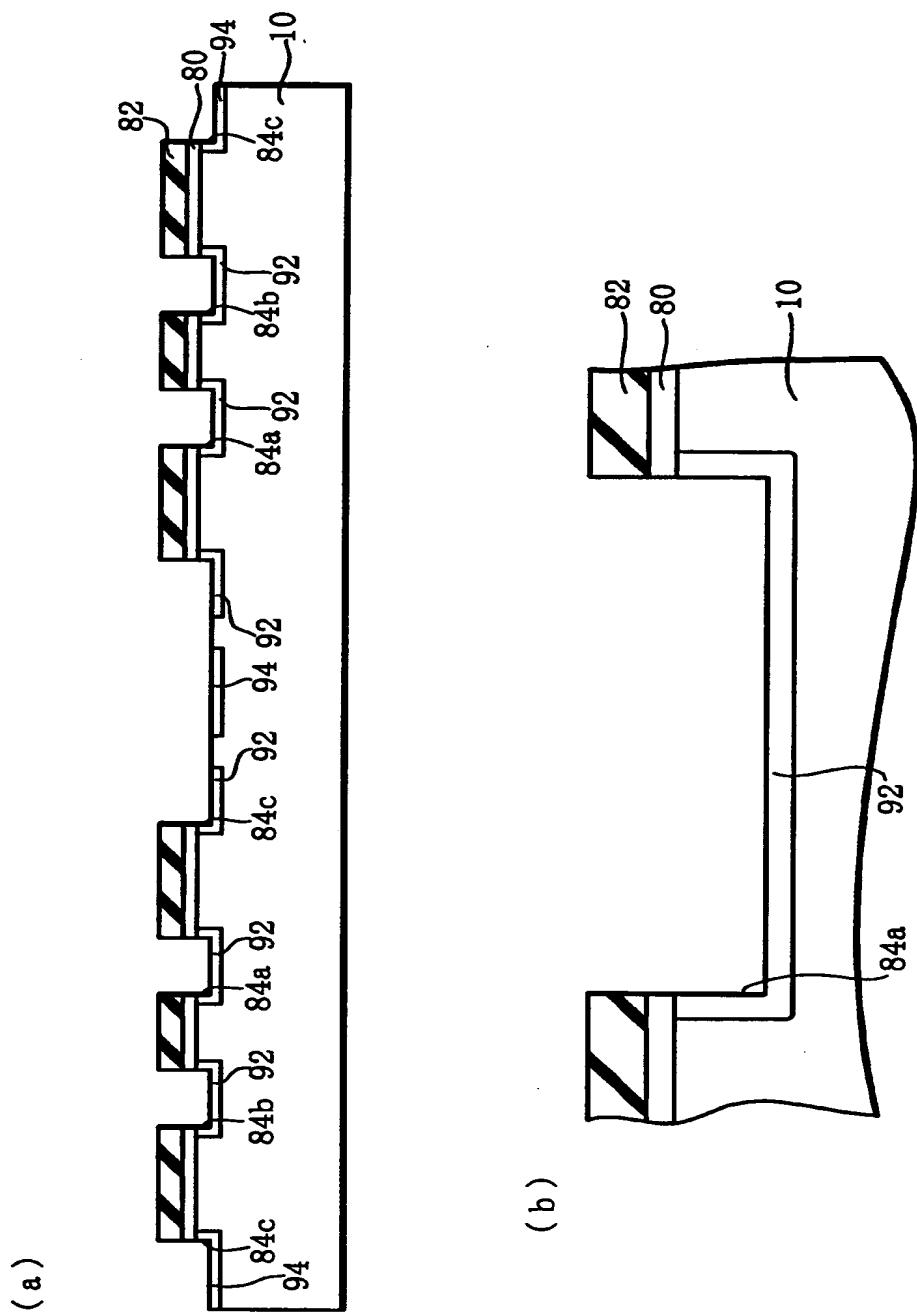
【図5】



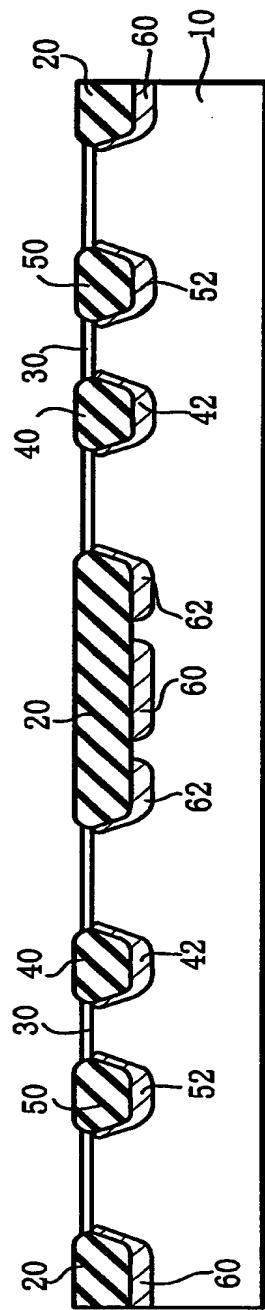
【図6】



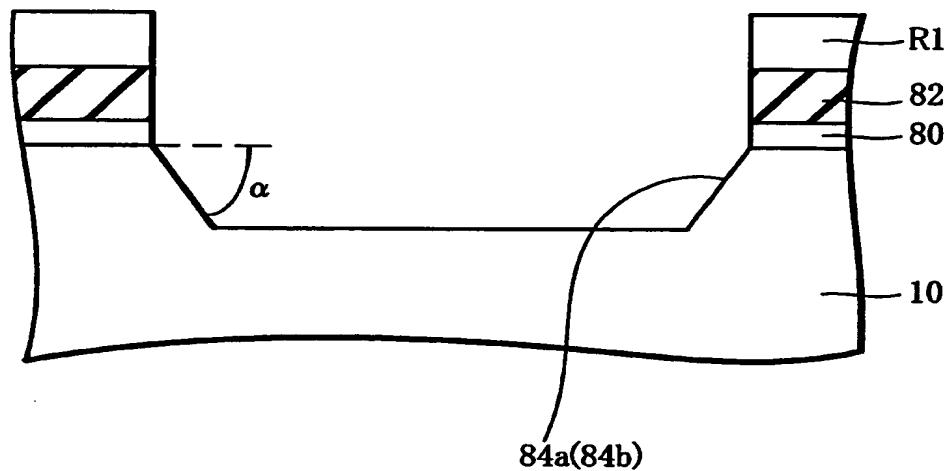
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 高耐圧化が図られた半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置1000は、電界効果トランジスタ100を有する。電界効果トランジスタ100は、ゲート絶縁層30と、ソース領域32と、ドレイン領域34とを含む。ゲート絶縁層30とドレイン領域34との間に、第1のセミリセスLOCOS層40が形成され、ゲート絶縁層30とソース領域32との間に、第2のセミリセスLOCOS層50が形成されている。第1のセミリセスLOCOS層40の下に、第1のオフセット不純物層42が形成され、第2のセミリセスLOCOS層50の下に、第2のオフセット不純物層52が形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社